

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/DE05/000197

International filing date: 05 February 2005 (05.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 10 2004 005 804.0
Filing date: 06 February 2004 (06.02.2004)

Date of receipt at the International Bureau: 18 April 2005 (18.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung****Aktenzeichen:**

10 2004 005 804.0

Anmeldetag:

6. Februar 2004

Anmelder/Inhaber:

X-FAB Semiconductor Foundries AG, 99097 Erfurt/DE

Bezeichnung:

Verfahren zur Verfüllung von Isolationsgräben unter Nutzung von CMOS-Standardprozessen zur Realisierung dielektrisch isolierter Gebiete auf SOI Scheiben

IPC:

H 01 L 21/762

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 5. April 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Verfahren zur Verfüllung von Isolationsgräben unter Nutzung von CMOS - Standardprozessen zur Realisierung dielektrisch isolierter Gebiete auf SOI Scheiben.

Zusammenfassung

Es wird ein Verfahren angegeben, das die Verfüllung von Isolationsgräben unter ausschließlicher Nutzung von CMOS-Standardprozessen ermöglicht. Dabei wird zur Grabenverfüllung nur Siliziumdioxid verwendet. Es verbleiben Hohlräume im Grabeninneren, was aus Gründen der Reduzierung elastischer Spannungen als Vorteil angesehen wird. Die Tiefenlage des Verschlupunktes eines verbleibenden Hohlraumes ist steuerbar. Der Verschlupunkt wird so tief unter die Oberfläche gelegt, dass ein nachträgliches Öffnen der Hohlräume bei den folgenden Prozeßschritten sicher verhindert wird. Das Verschließen des verbleibenden Hohlraumes erfolgt mit einem Abscheidungsverfahren, das bei niedrigem Druck arbeitet. Das Verfahren zur Verfüllung von Isolationsgräben nutzt CVD - Abscheidungen und RIE-Ätzungen.

Die Erfindung betrifft ein Verfahren zur Herstellung von verfüllten Isolationsgräben in Silizium unter Nutzung von CMOS-Standardprozessen zur Realisierung dielektrisch isolierter Gebiete (Isoliergräben; Trenngräben) auf einer SOI-Scheibe. Dabei wird zum Verfüllen ausschließlich Siliziumdioxid verwendet. Das Verfahren führt zu hermetisch verschlossenen Hohlräumen im Graben. Diese verbleibenden Hohlräume sind bezüglich der Reduzierung von elastischen Spannungen vorteilhaft. Das Verfahren gewährleistet die Verfüllung für Gräben mit kleinem bis zu sehr großem Aspektverhältnis und mit verschiedenen Winkeln der Seitenwände.

Die gewöhnlichen Trenngräben zur dielektrischen Isolation von verschiedenen Schaltungsteilen erfüllen im allgemeinen nicht die Anforderungen von mikroelektromechanischen Systemen (MEMS) in Bezug auf Stressminimierung und Einsatz eines gleichartigen Verfüllmaterials, das bei Bedarf nachträglich auch wieder hoch selektiv gegenüber Silizium an definierten Stellen entfernt werden kann.

Die meisten herkömmlichen Verfahren gehen davon aus, verbleibende Hohlräume zu vermeiden. Das geschieht dadurch, dass Engstellen bei der Grabenverfüllung entweder vermieden werden (V-förmige Grabenprofile, spezielle Abscheideverfahren) oder aufgetretene Engstellen wieder durch gezieltes Rückätzen entfernt werden.

Die Verhinderung von Hohlräumen wird herkömmlich durch eine V-förmige Grabengeometrie mit spezieller Kantengestaltung ermöglicht, siehe Patent US 6,180,490 B1. Auch in diesem Fall ist das Aspektverhältnis des zu verfüllenden Grabens begrenzt.

Bekannte Methoden zur Grabenisolation von Halbleiterbauelementen nutzen flache Gräben, die in den meisten Fällen frei von Hohlräumen sein sollen. Im Patent US 6,261,921 B1 wird ein solches Verfahren beschrieben, das für flache Gräben anwendbar ist, einen V-förmigen Graben verwendet, und zur zusätzlichen Kantenrücksetzung eine Siliziumnitridschicht verwendet.

Im Patent US 2002/0076915 A1 wird eine Verfüllung mit Polysilizium, das auf einer Isolierschicht abgeschieden wird, beschrieben. Dieses Verfahren wird für SOI-Scheiben zur Herstellung von integrierten Schaltungen angewendet, erlaubt aber ebenfalls keine hohen Aspektverhältnisse des zu verfüllenden Grabens. Als Besonderheit wird hier ein Aufweiten der Grabenöffnung durch Rückätzen von überstehendem Material an der Grabenöffnung, das sich bei der Verfüllung ungewollt bildet, zur Vermeidung von Hohlräumen beschrieben.

Ein ähnliches Verfahren, jedoch für Gräben im Halbleiter (keine SOI-Scheibe) wird für sehr flache Gräben mit einer Tiefe von weniger als $1\text{ }\mu\text{m}$ im Patent US 6,140,207 beschrieben. Hier wird ebenfalls eine Aufweitung der Grabenöffnung durch eine Schräge im Silizium realisiert.

Im Patent US 5,872,058 wird ein spezielles Abscheideverfahren für eine dielektrische Isolierschicht (SiO_2 oder ein anderes Material) angegeben. Dieses Verfahren nutzt spezielle Abscheidebedingungen wobei die Abscheiderate und die Ätzrate mit

unterschiedlichen Gaskonzentrationen so eingestellt werden, dass Engstellen im Graben beim Verfüllen vermieden werden, und so eine weitgehend hohlraumfreie Verfüllung von Gräben ermöglicht wird. Das Aspektverhältnis wird mit 3 : 1 oder größer angegeben. Ein Verfüllen von A-förmigen Grabenstrukturen erscheint auch hier nicht ohne bleibende Hohlräume möglich.

Zweck der Erfindung ist die kostensparende Realisierung von dielektrisch isolierten Trenngräben (Isolationsgräben) im Rahmen der CMOS-Technologie für ein möglichst großes Spektrum von Grabenformen (verschiedene Aspektverhältnisse und unterschiedliche Winkel der Grabenwände (V- und A- Form), die zur Scheibenoberfläche hin hermetisch dicht verschlossen sind.

Der Erfindung liegt die Aufgabe zu Grunde, ein Verfahren anzugeben, das zur Auskleidung (Füllung) von Isolationsgräben in einer Siliziumscheibe nur Verfahrensschritte der CMOS-Standardtechnologie benutzt. Die dabei zwangsläufig entstehenden Hohlräume im Isoliergraben sind vorteilhaft, da durch sie Stress vermieden werden kann. Das Verfahren muß so gestaltet werden, dass der Verschlußpunkt der Hohlräume zur Scheibenoberfläche hin so tief unter die Scheibenoberfläche gelegt wird, dass bei nachfolgenden Prozessschritten ein Öffnen der Hohlräume sicher verhindert wird.

Gelöst wird diese Aufgabe mit den im kennzeichnenden Teil des Anspruchs 1 angegebenen Merkmalen.

Der Gegenstand des Anspruchs 1 weist die Vorteile auf, dass der Punkt, an welchem ein Resthohlraum im Isoliergraben hermetisch dicht verschlossen wird (Verschlußpunkt) vorbestimmt werden kann, wobei die bei anderen verfahren störende Tatsache ausgenutzt wird, dass sich das SiO_2 in der Nähe von Kanten (Übergänge von zur Oberfläche parallelen Flächen zu Flächen mit vertikalem Anteil: Grabenflanken) stärker abscheidet, d. h. die Dicke der abgeschiedenen SiO_2 -Schicht mit der Isoliergrabentiefe abnimmt, wodurch sich die größte Verengung des Grabens stets in der Nähe der Kante ausbildet.

Da sich die Verengung nahezu unabhängig von der Grabentiefe (Aspektverhältnis) und nahezu unabhängig vom Winkel der Grabenwände in der Nähe der Siliziumoberfläche ausbildet, wird damit erfindungsgemäß auch die Lage (Tiefe) des Verschlußpunktes unabhängig von der Grabengeometrie definiert realisierbar.

Daher ist dieses Verfüllverfahren sehr allgemein einsetzbar.

Die Abscheide- und Ätzbedingungen müssen selbstverständlich an die jeweilige Grabengeometrie angepaßt werden. Das Verfahren arbeitet nur mit SiO_2 -Abscheidungen und es sichert, dass oberhalb des Verschlußpunktes keine neuen Hohlräume mehr entstehen können.

Verteilhafte Ausgestaltungen des Gegenstandes des Anspruchs 1 sind in den Unteransprüchen gegeben.

Nachfolgend soll die Erfindung anhand eines Ausführungsbeispiels in schematischer Darstellung näher erläutert werden.

Es bedeuten:

Fig. 1a, 1b eine Darstellung des zu verfüllenden Grabens nach der Grabenätzung im Silizium und nach Entfernung der Lack- oder oxidischen Ätzmaske für die Grabenätzung bei unterschiedlichen Oberflächen der Halbleiterscheibe,

Fig.2a, 2b eine Darstellung des teilweise verfüllten Grabens nach der ersten Verfüllung mit Siliziumdioxid,
 Fig. 3a, 3b eine Darstellung des teilweise verfüllten Grabens nach dem anisotropen Ätzen von Siliziumdioxid,
 Fig. 4a, 4b das Ergebnis nach der zweiten Grabenverfüllung mit hermetisch dichtem Verschluss.

Fig.1a und 1b zeigen den im Silizium (1) geätzten Graben (2) nach Entfernen einer Lack- oder oxidischen Ätzmaske. Das heißt, dass die Siliziumoberfläche (3) bzw. die Polysiliziumoberfläche (4) oxidfrei sind.

In Fig.1b liegt unter Polysilizium (6) ein Oxid (5), was erst bei späteren Prozess-Schritten nach der Grabenverfüllung von Bedeutung ist.

In Fig.2a und 2b ist schematisch die Siliziumdioxidschicht (7) dargestellt, die sowohl auf der Oberfläche als auch an den Seitenwänden abgeschieden wurde. Dabei zeigt sich eine Einengung (8), die für weitere Verfüllungen ungeeignet oberhalb der Siliziumoberfläche liegt. Der teilweise verfüllte Graben (9) ist noch nicht verschlossen und verbreitert sich nach unten hin.

Fig.3a und 3b zeigen eine schematische Darstellung vom Ergebnis der anisotropen Ätzung des Siliziumdioxids, die mit hoher Selektivität gegenüber Silizium erfolgt. Die anisotrope Ätzung trägt das Siliziumdioxid bevorzugt in senkrechter Richtung zur Oberfläche ab. Unterschnittene Bereiche werden am wenigsten geätzt. Daher bleiben die Reste der Verfüllung an den Seitenwänden (7a) in skizzierter Weise stehen und bilden nunmehr eine Engstelle (8a), die unterhalb der Siliziumoberfläche (3) bzw. Polysiliziumoberfläche (4) liegt.

Fig. 4a, 4b zeigen schematisch das Ergebnis nach abgeschlossener Grabenverfüllung mit Siliziumdioxid (10). Der Verschlusspunkt (12) liegt deutlich tiefer als die Siliziumoberfläche (3) bzw. Polysiliziumoberfläche (4). Dagegen befindet sich die Kerbenspitze (13) im verfüllten Bereich deutlich höher als die Siliziumoberfläche (3) bzw. Polysiliziumoberfläche (4), was für eine nachfolgende Planarisierung von Bedeutung ist. Der verbleibende Hohlraum (11) ist hermetisch von der Oberfläche abgedichtet und enthält kein Gas, da ein Niederdruckverfahren zur Siliziumdioxidabscheidung verwendet wurde. Die Dichtungsstelle (14) weist keine weiteren Hohlräume auf, wenn die Geometrie (Grabenbreite, Absenkungstiefe des Verschlusspunktes) definiert gewählt werden.

Bezugszeichenliste

(gleiche Bezeichnungen für gleiche Elemente in unterschiedlichen Figuren)

- 1: Silizium
- 2: geätzter Graben im Silizium,
- 3: Siliziumoberfläche nach Entfernen der Ätzmaske
- 3a: Siliziumoberfläche nach Entfernen des ersten Verfülloxides
- 3b: Siliziumoberfläche, abgedeckt durch das zweite Verfülloxid
- 4: Poly- Siliziumoberfläche nach Entfernen der Ätzmaske
- 4a: Poly- Siliziumoberfläche nach Entfernen des ersten Verfülloxides
- 4b: Poly- Siliziumoberfläche, abgedeckt durch das zweite Verfülloxid
- 5 Oxidschicht
- 6 Polysiliziumschicht
- 7 Oxidschicht nach erstem Verfüllen des Grabens
- 7a: Oxidschicht nach Rückätzen des ersten Füll Oxides
- 8 Schmalste Stelle, liegt höher als das Niveau der Siliziumoberfläche
- 8a: Schmalste Stelle nach Rückätzen des ersten Füll Oxides
- 9 Teilweise verfüllter Graben während des technologischen Ablaufs
- 10: Oxidschicht nach zweitem Verfüllen des Grabens
- 11: Verbleibender Hohlraum
- 12: Verschußpunkt tiefer als das Niveau der Siliziumoberfläche
- 13: Spitze der Einkerbung der zweiten Oxidverfüllung
- 14: Stelle der hermetischen Abdichtung

Ansprüche

1.

Verfahren zur Herstellung von dielektrisch isolierenden Trenngräben (Isoliergräben), zur elektrischen Trennung von Gebieten unterschiedlicher Potentiale, insbesondere von Bauelementstrukturen auf SOI-Scheiben unter Zulassung von durch die Isolatorfüllung des Trenngrabens innerhalb desselben gebildeten Hohlräumen bei hermetisch dichtem Verschuß der Hohlräume zur Halbleiterscheibenoberfläche hin, **gekennzeichnet durch** die nach der Herstellung des Grabens nachfolgende Reihe von CMOS-Verfahrensschritten:

- Ausführung eines ersten Füllschrittes durch eine auf die Grabengeometrie angepaßte gesteuerte SiO₂-Abscheidung, vorzugsweise mit einem CVD-Verfahren, wobei an den Grabenwänden eine sich in Richtung obere Grabenkante verdickende SiO₂-Schicht ergibt .
- Anisotrope RIE-Ätzung der Oxidschicht in einem ersten Schritt bis zur Entfernung SiO₂-Schicht auf der Scheibenoberfläche und von da an in einem zweiten Schritt fortgesetzt, gesteuert in Abhängigkeit vom geometrischen Verlauf der SiO₂-Schicht im Graben zur Entfernung der Oxidschicht im oberen Grabenbereich bis in eine definierte Tiefe, die den späteren Verschußpunkt des Hohlraumes bestimmt, in der sich eine Stufe ausbildet (Oxidabsenkung im Graben).
- Ausführung einer zweiten SiO₂-Abscheidung mit einem CVD-Niederdruckverfahren, wobei sich in der Nähe der Stufe wieder bevorzugt SiO₂ absetzt, was dann zum Verschuß eines sich darunter befindlichen Hohlraumes führt, wonach der Prozeß abgeschlossen wird, wenn der geschlossene Teil der SiO₂-Schicht über dem Hohlraum bis über die Scheibenebene hinausgewachsen ist.

In bekannter Weise kann nach der Grabenschließung (Verfüllung) die Planarisierung der Scheibenoberfläche vorgenommen und die technologische Schrittfolge fortgesetzt werden.

2.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass das Rückätzen der ersten Grabenverfüllung im Gebiet außerhalb des Grabens auf einer Polysiliziumschicht endet, die auf einer Siliziumdioxidschicht oder Mehrfachisolatorschicht aufgebracht wurde.

3.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass bei der ersten und der zweiten SiO₂-Abscheidung das gleiche Verfahren eingesetzt wird.

4.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass bei der ersten und der zweiten SiO₂-Abscheidung verschiedene Verfahren, die z. B. eine gute oder weniger gute isotrope Isolatorabscheidung gewährleisten, eingesetzt werden.

5.

Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass dieses auch für SOI-Scheiben Anwendung findet, in deren oberhalb der Oxidschicht befindlichen Halbleiterschicht auch mikroelektromechanische Systeme (MEMS) vorhanden sind.

Fig. 1a

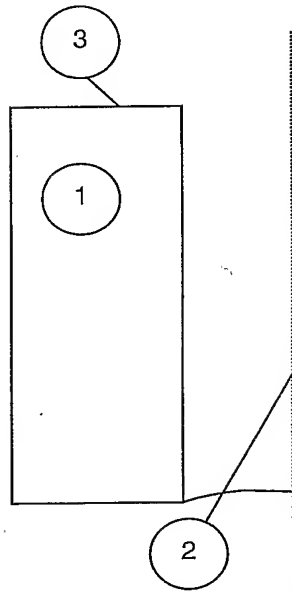


Fig. 1b

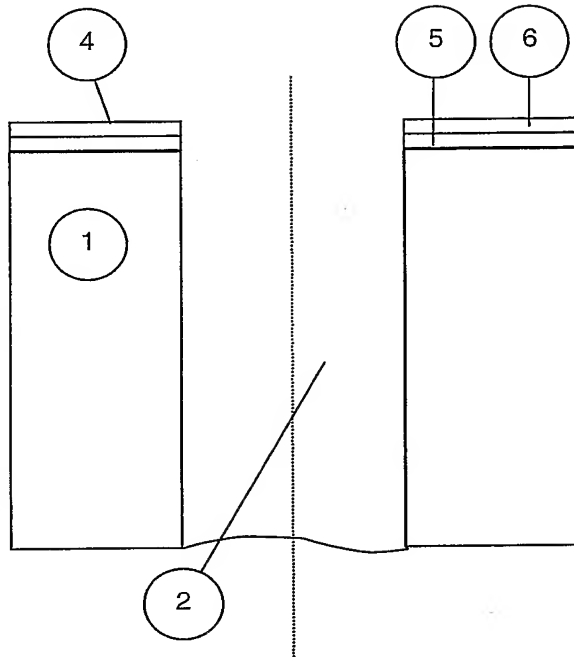


Fig. 2a

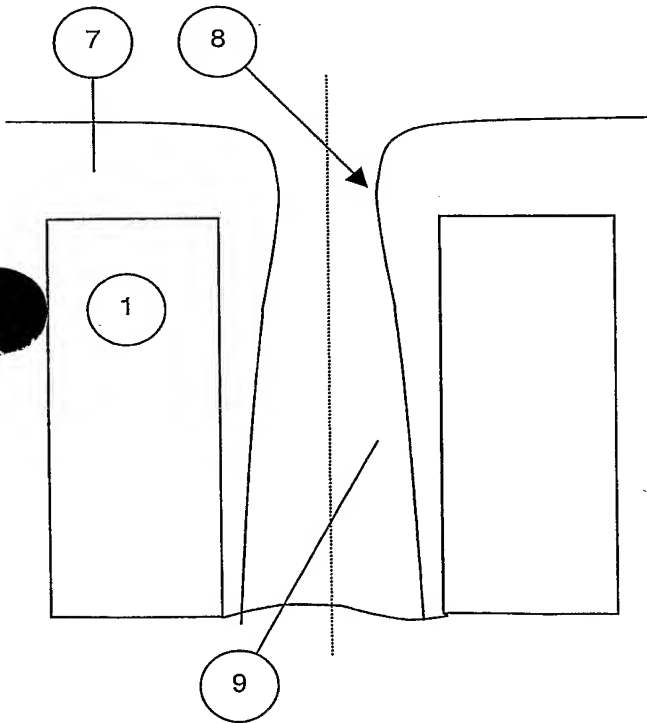


Fig. 2b

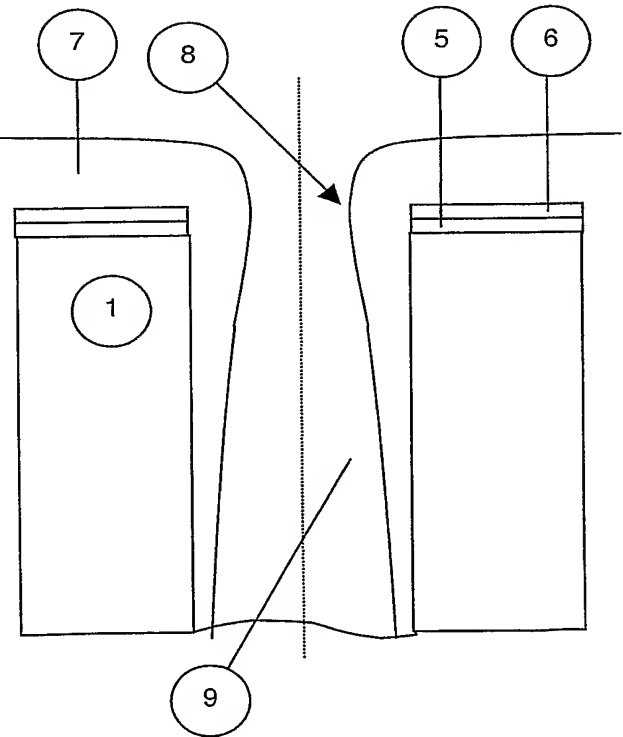


Fig. 3a

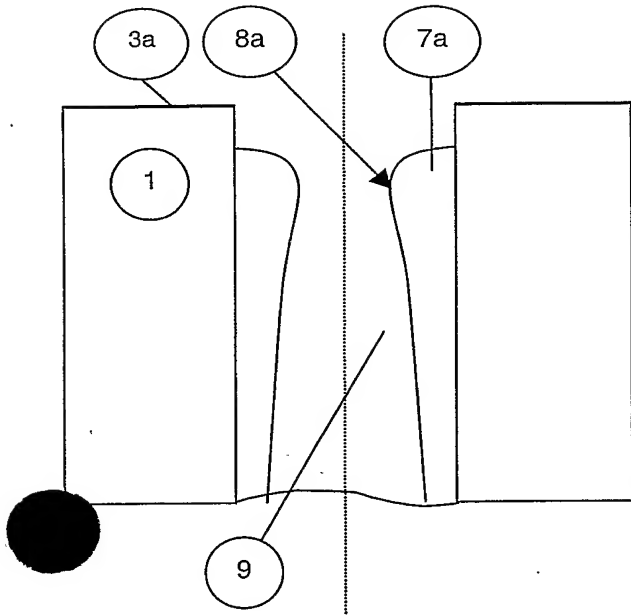


Fig. 3b

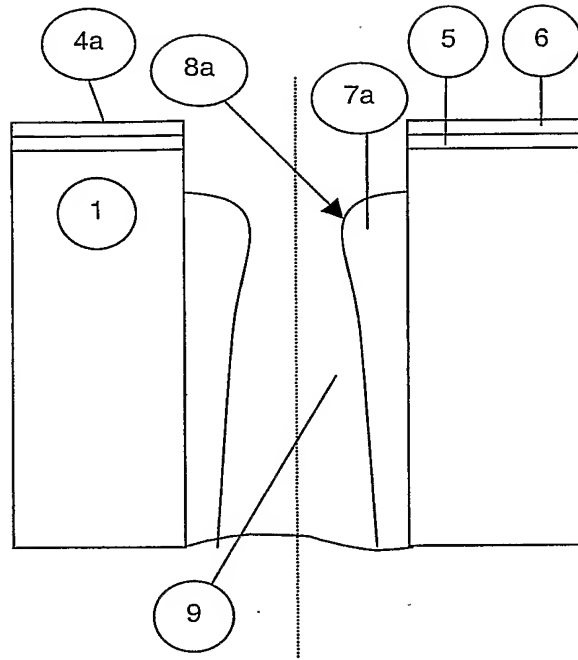


Fig. 4a

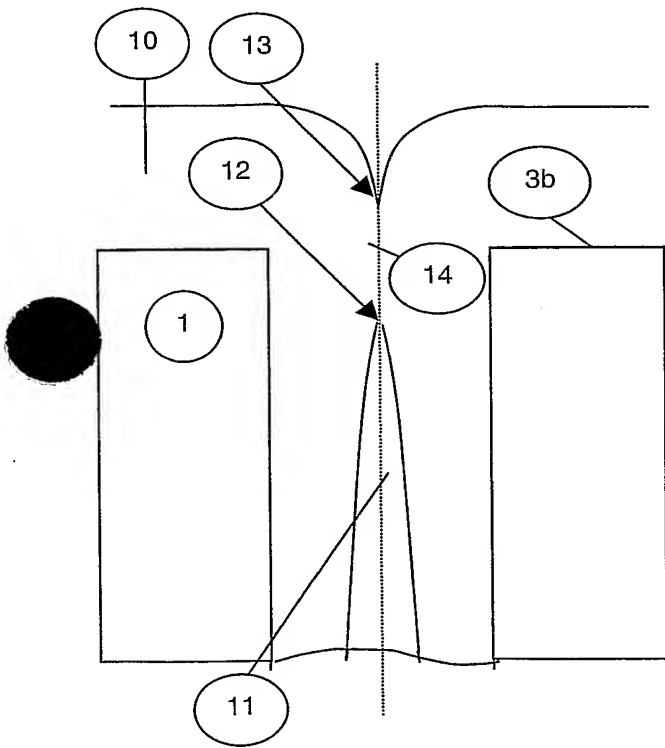


Fig. 4b

